



CỘNG HOÀ XÃ HỘI CHỦ NGHĨA VIỆT NAM

QCVN 21:2010/BTTTT

**QUY CHUẨN KỸ THUẬT QUỐC GIA
VỀ YÊU CẦU CHUNG ĐỐI VỚI THIẾT BỊ ĐẦU CUỐI KẾT NỐI
VÀO MẠNG VIỄN THÔNG CÔNG CỘNG SỬ DỤNG KÊNH
THUÊ RIÊNG TỐC ĐỘ 2048 KBIT/S**

*National technical regulation on general requirements of
Telecommunications Terminal Equipments connected to the Public
Telecommunications Networks (PTNs) using 2048 kbit/s Digital
Structured Leased Line*

HÀ NỘI - 2010

Mục lục

1. QUY ĐỊNH CHUNG	5
1.1. Phạm vi điều chỉnh	5
1.2. Đối tượng áp dụng	5
1.3. Giải thích từ ngữ.....	5
1.4. Các chữ viết tắt	6
2. QUY ĐỊNH KỸ THUẬT.....	6
2.1. Cổng lối ra.....	7
2.1.1. Mã hoá tín hiệu	7
2.1.2. Dạng xung.....	7
2.1.3. Định thời lối ra.....	8
2.1.4. Trở kháng so với đất.....	8
2.1.5. Rung pha lối ra.....	8
2.1.6. Cấu trúc lối ra.....	9
2.1.6.1. CRC-4	9
2.1.6.2. Sử dụng các bit E.....	9
2.1.6.3. Sử dụng bit A.....	9
2.2. Cổng lối vào.....	10
2.2.1. Mã hoá tín hiệu	10
2.2.2. Suy hao phản xạ lối vào.....	10
2.2.3. Giới hạn suy hao lối vào.....	11
2.2.4. Miễn nhiệm với các phản xạ	11
2.2.5. Khả năng chịu điện áp dọc.....	11
2.2.6. Trở kháng so với đất.....	11
2.2.7. Giới hạn rung pha lối vào.....	11
2.2.8. Giới hạn xung nhịp lối vào.....	12
2.2.9. Cấu trúc khung lối vào.....	12
2.2.9.1. Đồng bộ khung.....	12
2.2.9.2. Đồng bộ đa khung.....	13
3. QUY ĐỊNH VỀ QUẢN LÝ	13
4. TRÁCH NHIỆM CỦA TỔ CHỨC, CÁ NHÂN.....	14
5. TỔ CHỨC THỰC HIỆN	14
Phụ lục A (Quy định) Các phương pháp kiểm tra.....	15
Phụ lục B (Quy định) Định nghĩa mã HDB3	29
Phụ lục C (Quy định) Định nghĩa cấu trúc khung.....	30

Lời nói đầu

QCVN 21:2010/BTTTT được xây dựng trên cơ sở soát xét, chuyển đổi Tiêu chuẩn ngành TCN 68-217:2002 “Thiết bị đầu cuối kết nối vào mạng viễn thông công cộng sử dụng kênh thuê riêng tốc độ 2048 kbit/s - Yêu cầu kỹ thuật” ban hành theo Quyết định số 34/2002/QĐ-BBCVT ngày 31 tháng 12 năm 2002 của Bộ trưởng Bộ Bưu chính, Viễn thông (nay là Bộ Thông tin và Truyền thông).

Các quy định kỹ thuật và phương pháp xác định của QCVN 21:2010/BTTTT phù hợp với tiêu chuẩn EN 300 420 của Viện Tiêu chuẩn Viễn thông châu Âu (ETSI).

QCVN 21:2010/BTTTT do Viện Khoa học Kỹ thuật Bưu điện biên soạn, Vụ Khoa học và Công nghệ trình duyệt và được ban hành kèm theo Thông tư số 18/2010/TT-BTTTT ngày 30 tháng 07 năm 2010 của Bộ trưởng Bộ Thông tin và Truyền thông.

QUY CHUẨN KỸ THUẬT QUỐC GIA
VỀ YÊU CẦU CHUNG ĐỐI VỚI THIẾT BỊ ĐẦU CUỐI KẾT NỐI VÀO MẠNG
VIỄN THÔNG CÔNG CỘNG SỬ DỤNG KÊNH THUÊ RIÊNG TỐC ĐỘ 2048
KBIT/S

***National technical regulation on general requirements of
Telecommunications Terminal Equipments connected to the Public
Telecommunications Networks (PTNs) using 2048 kbit/s Digital Structured
Leased Line***

1. QUY ĐỊNH CHUNG

1.1. Phạm vi điều chỉnh

Quy chuẩn kỹ thuật quốc gia này quy định các yêu cầu đối với giao diện của thiết bị đầu cuối kết nối vào mạng viễn thông công cộng (PTN) sử dụng kênh thuê riêng được cấu trúc số 2048 kbit/s có trở kháng 120 Ω với tốc độ truyền tin 1984 kbit/s.

1.2. Đối tượng áp dụng

Quy chuẩn này được áp dụng đối với các tổ chức, cá nhân Việt Nam và nước ngoài có hoạt động sản xuất, kinh doanh các thiết bị đầu cuối viễn thông trên lãnh thổ Việt Nam.

1.3. Giải thích từ ngữ

1.3.1. Kênh thuê riêng (leased lines)

Kênh thuê riêng là phương tiện truyền thông do nhà khai thác mạng cung cấp, có khả năng cung cấp các đặc tính truyền dẫn xác định giữa các điểm kết cuối mạng và không bao gồm các chức năng chuyển mạch mà khách hàng có thể điều khiển được (ví dụ chuyển mạch theo yêu cầu).

1.3.2. Điểm kết cuối mạng (Network Termination Point- NTP)

Điểm kết cuối mạng là các kết nối vật lý và các thông số kỹ thuật của chúng tạo thành một phần của mạng viễn thông công cộng, giúp cho việc truy nhập và truyền tin có hiệu quả qua mạng viễn thông đó.

1.3.3. Thiết bị đầu cuối (Terminal Equipment - TE)

Thiết bị đầu cuối là thiết bị nối với mạng viễn thông công cộng hoặc mạng nội bộ hoặc mạng viễn thông chuyên dụng có nghĩa là: nối trực tiếp với kết cuối của mạng viễn thông hoặc liên kết với một mạng đã được nối trực tiếp hoặc gián tiếp tới kết cuối của mạng viễn thông để gửi, nhận hoặc xử lý thông tin.

1.3.4. Đa khung con bị lỗi (errored Sub-MultiFrame)

Đa khung con bị lỗi là đa khung con tại đó CRC-4 được tính ra không đúng với CRC-4 có trong đa khung con tiếp theo (xem mục C.2.2).

1.3.5. Khung (frame)

Khung là chuỗi gồm 256 bit, trong đó 8 bit đầu tiên xác định cấu trúc khung (xem Phụ lục C).

1.3.6. Đa khung (multiframe)

Đa khung là chuỗi gồm hai đa khung con có chứa từ đồng bộ đa khung (xem Phụ lục C).

QCVN 21:2010/BTTTT

1.3.7. PRBS($2^{15}-1$)

PRBS($2^{15}-1$) là chuỗi bit giả ngẫu nhiên (PRBS).

1.3.8. Các bit S_a (S_a bits)

Các bit S_a là các bit từ 4 đến 8 (các bit từ S_{a4} đến S_{a8}) trong những khung không chứa tín hiệu đồng bộ khung (xem Phụ lục C).

1.3.9. Đa khung con (Sub-Multiframe - SMF)

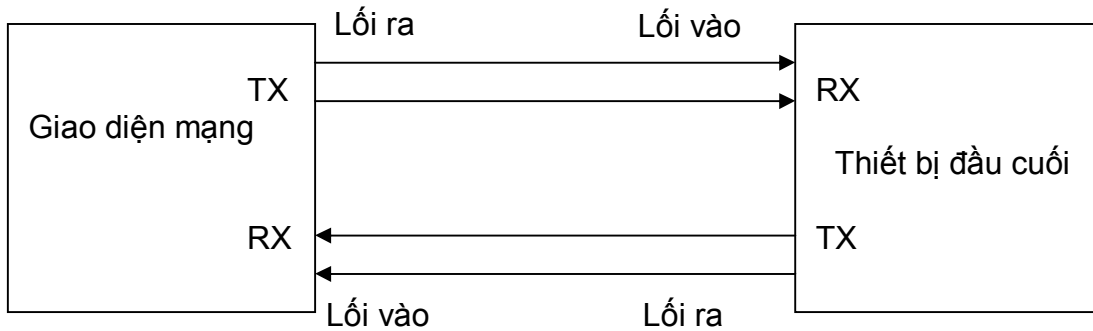
Đa khung con là chuỗi gồm 8 khung, mỗi khung có 256 bit, qua đó tính ra CRC-4 (xem Phụ lục C).

1.4. Các chữ viết tắt

AIS	Alarm Indication Signal	Tín hiệu chỉ thị cảnh báo
AMI	Alternate Mark Inversion	Mã đảo cực luân phiên
CRC-4	Cyclic Redundancy Check-4 bit	Kiểm tra dư vòng 4 bit
D2048S	2048 Digital Structure leased line	Kênh thuê riêng được cấu trúc số tốc độ 2048 kbit/s
dc	Direct current	Dòng một chiều
EMC	ElectroMagnetic Compatibility	Tương thích điện từ
HDB3	High Density Bipolar Code of order 3	Mã lưỡng cực mật độ cao bậc 3
ISDN	Intergrated Services Digital Network	Mạng số liên kết đa dịch vụ
NTP	Network Termination Point	Điểm kết cuối mạng
ppm	parts per million	Phần triệu
PRBS	Pseudo Random Bit Sequence	Chuỗi bit giả ngẫu nhiên
RAI	Remote Alarm Indication	Chỉ thị cảnh báo đầu xa
rms	root mean square	Giá trị hiệu dụng
SDH	Synchronous Digital Hierarchy	Truyền dẫn phân cấp số đồng bộ
SMF	Sub-MultiFrame	Đa khung con
UI	Unit Interval	Khoảng đơn vị

2. QUY ĐỊNH KỸ THUẬT

Đôi dây truyền là lõi ra từ giao diện thiết bị đầu cuối. Đôi dây nhận là lõi vào giao diện thiết bị đầu cuối, như được minh họa trong Hình 1.



Hình 1 - Kết nối thiết bị đầu cuối vào mạng viễn thông

2.1. Cổng lỗi ra

2.1.1. Mã hoá tín hiệu

Yêu cầu: tín hiệu truyền đi ở cổng lỗi ra phải phù hợp với luật mã hoá lưỡng cực mật độ cao bậc 3 (HDB3) (xem Phụ lục B).

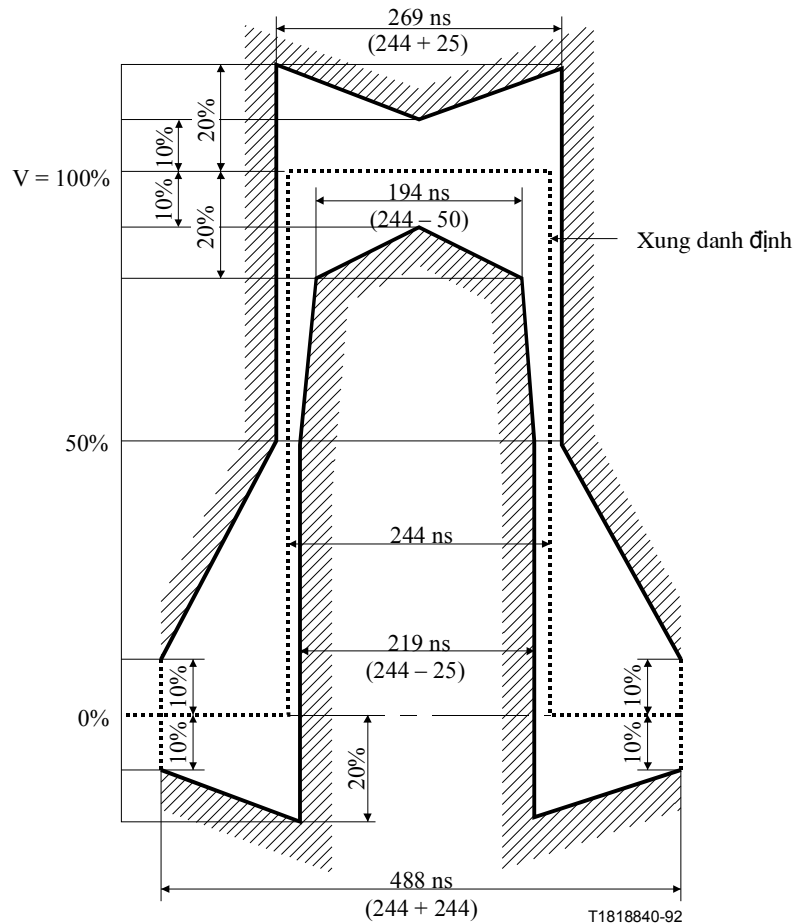
Kiểm tra: tiến hành kiểm tra theo mục A.1.

2.1.2. Dạng xung

Yêu cầu: xung ở cổng lỗi ra phải phù hợp với các yêu cầu nêu trong Bảng 1 và Hình 2 (được dựa trên Khuyến nghị G.703 của ITU-T [1]).

Bảng 1 – Dạng xung ở cổng lỗi ra

Dạng xung (dạng danh định là hình chữ nhật)	Tất cả các xung của tín hiệu hợp lệ phải tuân theo mật xạ xung như quy định trong Hình 2 (đối với mọi cực tính). Giá trị V tương ứng với giá trị danh định.
Trở kháng tải thử	120 Ω thuần trở
Điện áp đỉnh danh định khi có xung V	3 V
Điện áp đỉnh khi không có xung	0 ± 0,3 V
Độ rộng xung danh định	244 ns
Tỷ số biên độ của xung dương và xung âm tại điểm giữa của khoảng xung	0,95 đến 1,05
Tỷ số độ rộng của xung dương và xung âm tại một nửa biên độ danh định	0,95 đến 1,05



CHÚ THÍCH: V tương ứng với giá trị định danh định

Hình 2 - Mặt nạ xung 2048 kbit/s

Kiểm tra: tiến hành kiểm tra theo mục A.2.

2.1.3. Định thời lối ra

Yêu cầu: thiết bị đầu cuối phải có:

- a) một đồng hồ nội tạo ra một tốc độ bit ở cổng lối ra nằm trong giới hạn 2048 kbit/s \pm 50 phần triệu; và
- b) khả năng cung cấp một mạch vòng tín hiệu đồng hồ sao cho định thời tín hiệu ở cổng lối ra được cấp từ định thời ở cổng lối vào.

Kiểm tra: đối với trường hợp a), cần tiến hành kiểm tra theo mục A.3. Trường hợp b), khả năng cung cấp một mạch vòng tín hiệu đồng hồ, được kiểm tra theo mục A.8.

2.1.4. Trở kháng so với đất

Yêu cầu: khi thiết bị đầu cuối tiếp đất thì trở kháng so với đất của cổng lối ra phải lớn hơn 1000 Ω trong dải tần từ 10 Hz đến 1 MHz khi được đo bằng một điện áp kiểm tra hình sin có giá trị hiệu dụng là 2 V. Để thoả mãn yêu cầu này, đất phải là điểm chung của thiết bị đầu cuối hoặc là điểm chuẩn kiểm tra.

Kiểm tra: tiến hành kiểm tra theo mục A.7.

2.1.5. Rung pha lối ra

Yêu cầu: rung pha lối ra đỉnh - đỉnh không được vượt quá giới hạn của Bảng 2 khi được đo bằng một bộ lọc thông dải có đường cắt với các tần số cắt được định trước.

Ở các tần số thấp hơn tần số tại điểm 3 dB dưới, suy hao của bộ lọc thông cao phải tăng với giá trị tương đương với 20 dB/ 10 độ chia. Ở các tần số cao hơn tần số tại điểm 3 dB trên, suy hao của bộ lọc thông thấp phải tăng với giá trị lớn hơn hoặc tương đương 60 dB/ 10 độ chia.

Để kiểm tra, bất kỳ tín hiệu lỗi vào nào cấp định thời lỗi ra đều phải được cung cấp rung pha lỗi vào và độ lệch tần số lỗi vào với dung sai lớn nhất theo như chỉ định của nhà sản xuất.

Khi định thời lỗi ra của thiết bị đầu cuối được cấp từ kênh thuê riêng, lỗi vào của thiết bị đầu cuối phải được cung cấp các thành phần của rung pha hình sin trên đường cong của Hình 3 và Bảng 2.

Bảng 2 - Rung pha lỗi ra lớn nhất

Băng tần bộ lọc đo		Rung pha lỗi ra
Băng cao	Băng thấp	Khoảng đơn vị (UI) đỉnh - đỉnh (lớn nhất)
40 Hz	100 kHz	0,11 UI

Kiểm tra: tiến hành kiểm tra theo mục A.8.

2.1.6. Cấu trúc lỗi ra

Yêu cầu: chuỗi bit được truyền đi tại lỗi ra của thiết bị đầu cuối sẽ được cấu trúc như được định rõ trong mục C.1.

Kiểm tra: tiến hành kiểm tra theo mục A.9.1.

2.1.6.1. CRC-4

Yêu cầu: các bit CRC-4 được truyền đi tại lỗi ra của thiết bị đầu cuối được quy định như trong Bảng C.1, Bảng C.2 và mục C.2.1 thuộc Phụ lục C và phải phù hợp với các dữ liệu được truyền đi tại lỗi ra của thiết bị đầu cuối.

Kiểm tra: tiến hành kiểm tra theo mục A.9.1.

2.1.6.2. Sử dụng các bit E

2.1.6.2.1. Thiết bị đầu cuối không sử dụng các bit E

Yêu cầu: trong mọi trường hợp, các bit E được truyền đi tại lỗi ra của thiết bị đầu cuối đều được đưa về giá trị nhị phân MỘT.

Kiểm tra: Cần tiến hành kiểm tra theo mục A.9.2.

2.1.6.2.2. Thiết bị đầu cuối sử dụng bit E để chỉ thị các SMF lỗi

Yêu cầu: các bit E được truyền đi tại lỗi ra của thiết bị đầu cuối phải chỉ thị các SMF bị lỗi trong chuỗi bit lỗi vào. Một bit E trong đa khung sẽ được đưa về giá trị nhị phân KHÔNG đối với mỗi SMF bị lỗi nhận được trong chuỗi bit lỗi vào. Các bit E tương ứng với các SMF không bị lỗi sẽ được đưa về giá trị nhị phân MỘT. Khoảng thời gian từ lúc nhận ra một SMF bị lỗi đến lúc đưa bit E chỉ thị SMF bị lỗi đó về giá trị KHÔNG phải nhỏ hơn 1 giây.

Kiểm tra: tiến hành kiểm tra theo mục A.9.3.

2.1.6.3. Sử dụng bit A

2.1.6.3.1. Thiết bị đầu cuối không sử dụng bit A

QCVN 21:2010/BTTTT

Yêu cầu: trong mọi trường hợp bit A được truyền đi tại lối ra của thiết bị đầu cuối phải được đưa về giá trị nhị phân KHÔNG.

Kiểm tra: tiến hành kiểm tra theo mục A.9.4.

2.1.6.3.2. Thiết bị đầu cuối sử dụng bit A

Yêu cầu: bit A được truyền đi tại lối ra của thiết bị đầu cuối phải được đưa về giá trị KHÔNG trong hoạt động thường nhưng có thể bị thay đổi từ giá trị nhị phân KHÔNG thành giá trị nhị phân MỘT trong vòng 30 ms nếu bất cứ một điều kiện nào trong những điều kiện sau đây xảy ra ở chuỗi bit lối vào:

a) ba tín hiệu đồng bộ khung sai liên tiếp nhau (tín hiệu đồng bộ khung đúng được định nghĩa trong Bảng C.1);

b) có 915 SMF lối trong số 1000 SMF.

Thiết bị đầu cuối cũng có thể thay đổi bit A từ giá trị nhị phân KHÔNG thành giá trị nhị phân MỘT trong vòng 30 ms nếu:

c) bit 2 thuộc các khung không chứa tín hiệu đồng bộ khung bị lỗi (tức là bit 2 có giá trị nhị phân KHÔNG) trong ba lần liên tiếp.

Đối với một thiết bị đầu cuối đang khôi phục việc mất đồng bộ khung (tức là bit A được đưa về giá trị nhị phân MỘT) thì bit A được truyền qua lối ra của thiết bị đầu cuối sẽ được chuyển từ giá trị nhị phân MỘT về giá trị nhị phân KHÔNG trong vòng 30 ms nếu bất kỳ điều kiện nào trong những điều kiện sau đây xảy ra trong chuỗi bit lối vào:

d) sự xuất hiện lần đầu tiên của tín hiệu đồng bộ khung đúng (như được định nghĩa trong Bảng C.1); và

e) sự mất tín hiệu đồng bộ khung trong khung tiếp theo được phát hiện bằng cách xác định rằng bit 2 của khung cơ bản có giá trị nhị phân MỘT; và

f) sự xuất hiện lần thứ hai tín hiệu đồng bộ khung đúng trong khung tiếp theo.

Kiểm tra: Cần tiến hành kiểm tra theo mục A.9.4.

2.2. Cổng lối vào

2.2.1. Mã hoá tín hiệu

Yêu cầu: cổng lối vào phải giải mã các tín hiệu đã được mã hoá HDB3 theo các quy tắc mã hoá HDB3 (xem Phụ lục B) mà không bị lỗi.

Kiểm tra: tiến hành kiểm tra theo mục A.6.

2.2.2. Suy hao phản xạ lối vào

Yêu cầu: suy hao phản xạ lối vào với điện trở 120 Ω tại giao diện phải lớn hơn hoặc bằng các giá trị ghi trong Bảng 3. Các giá trị này được trích từ mục 9.3 thuộc Khuyến nghị ITU-T G.703 [1].

Bảng 3 - Suy hao phản xạ lối vào nhỏ nhất

Dải tần số	Suy hao phản xạ
51 kHz - 102 kHz	12 dB
102 kHz - 2048 kHz	18 dB
2048 kHz - 3072 kHz	14 dB

Kiểm tra: tiến hành kiểm tra theo mục A.4.

2.2.3. Giới hạn suy hao lỗi vào

Yêu cầu: lỗi vào phải giải mã mà không bị lỗi một tín hiệu 2048 kbit/s như được định nghĩa trong các mục 2.1.1 và 2.1.2 ở trên nhưng đã được thay đổi bởi một dây cáp hoặc dây cáp nhân tạo có các đặc tính sau:

- a) suy hao tuân theo luật \sqrt{f} với các giá trị nằm trong dải từ 0 tới 6 dB tại tần số 1024 kHz; và
- b) trở kháng đặc tính bằng 120 Ω với dung sai $\pm 20\%$ trong dải tần số từ 200 kHz tới (nhưng không bao gồm) 1 MHz và dung sai $\pm 10\%$ tại tần số 1 MHz.

Kiểm tra: tiến hành kiểm tra theo mục A.5.

2.2.4. Miễn nhiệm với các phản xạ

Yêu cầu: khi một tín hiệu là kết hợp của một tín hiệu bình thường và một tín hiệu nhiễu được đưa vào lỗi vào, thông qua một dây cáp nhân tạo có suy hao nằm trong dải từ 0 tới 6 dB tại 1 MHz, thì tín hiệu nhiễu không được gây ra lỗi.

Tín hiệu bình thường là một tín hiệu được mã hoá theo HDB3, có dạng xung như Hình 2, có nội dung là chuỗi bit giả ngẫu nhiên PRBS($2^{15}-1$).

Tín hiệu nhiễu là một tín hiệu giống như tín hiệu bình thường ngoại trừ mức tín hiệu bị suy hao đi 18 dB, tốc độ bit trong khoảng 2048 kbit/s ± 50 phần triệu và định thời không đồng bộ với tín hiệu bình thường.

Kiểm tra: tiến hành kiểm tra theo mục A.5.

2.2.5. Khả năng chịu điện áp dọc

Yêu cầu: bộ thu tín hiệu phải hoạt động mà không bị lỗi với bất cứ tín hiệu lỗi vào nào nếu có điện áp dọc có giá trị hiệu dụng là 2 V trong dải tần số từ 10 Hz đến 30 MHz.

Kiểm tra: tiến hành kiểm tra theo mục A.6.

2.2.6. Trở kháng so với đất

Yêu cầu: khi thiết bị đầu cuối tiếp đất thì trở kháng so với đất của lỗi vào phải lớn hơn 1000 Ω trong dải tần từ 10 Hz đến 1 MHz khi được đo bằng một điện áp kiểm tra hình sin có giá trị hiệu dụng là 2 V. Để thoả mãn yêu cầu này, đất phải là điểm chung của thiết bị đầu cuối hoặc là điểm chuẩn kiểm tra.

Kiểm tra: tiến hành kiểm tra theo mục A.7.

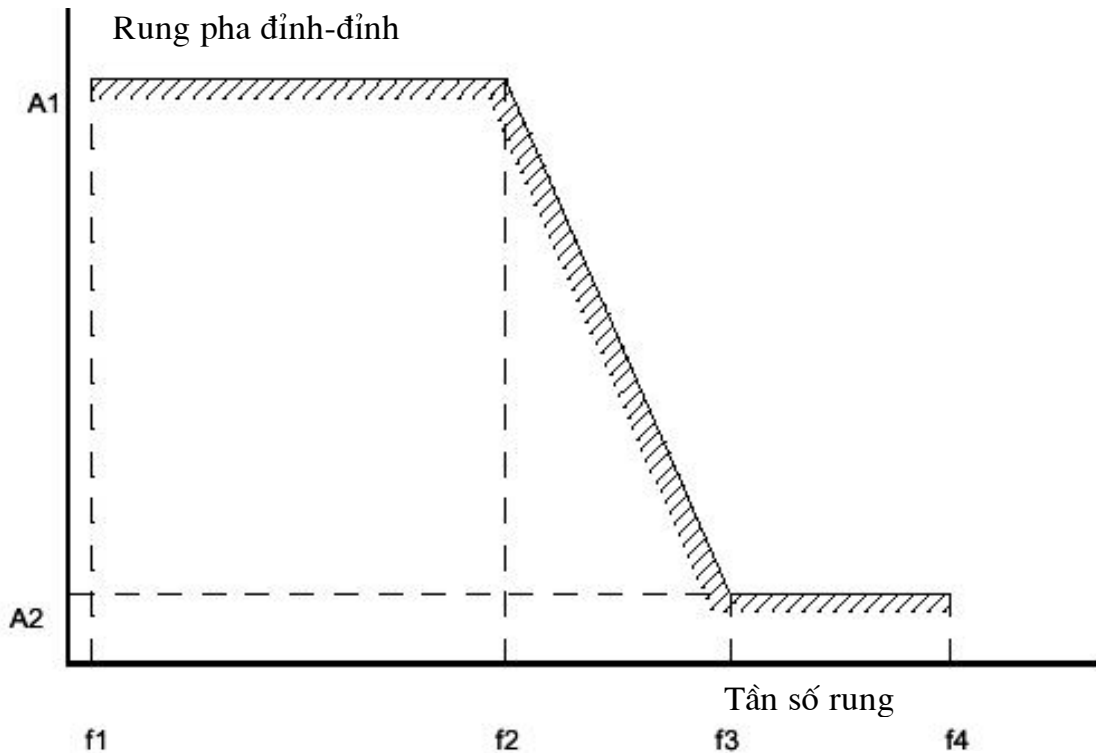
2.2.7. Giới hạn rung pha lỗi vào

Yêu cầu: thiết bị đầu cuối phải chịu được rung pha lỗi vào lớn nhất như được ghi ở Bảng 4 và Hình 3 tại lỗi vào.

Bảng 4 - Giới hạn rung pha lỗi vào

Biên độ đỉnh - đỉnh (UI)		Tần số (Hz)			
		f1	f2	f3	f4
A1	A2				
1,5	0,2	20	2 400	18 000	100 000

Kiểm tra: tiến hành kiểm tra theo mục A.8.



Hình 3 - Giới hạn rung pha lỗi vào

2.2.8. Giới hạn xung nhịp lỗi vào

Yêu cầu: thiết bị đầu cuối phải giải mã các tín hiệu đã được mã hoá HDB3 mà không bị lỗi trong dải tần số 2048 kbit/s \pm 50 phần triệu.

Kiểm tra: tiến hành kiểm tra theo mục A.8.

2.2.9. Cấu trúc khung lỗi vào

2.2.9.1. Đồng bộ khung

Yêu cầu: lỗi vào phải chấp nhận một chuỗi bit lỗi vào với một cấu trúc khung và đa khung như được quy định trong Phụ lục C. Thiết bị đầu cuối phải có khả năng đạt được đồng bộ khung nhằm tách dữ liệu của người sử dụng ra khỏi khung thông tin.

Đồng bộ khung phải đạt được sau khi:

- lần đầu tiên xuất hiện tín hiệu đồng bộ khung đúng; và
- sự mất tín hiệu đồng bộ khung trong khung tiếp theo được phát hiện bằng cách xác định rằng bit 2 của khung cơ bản có giá trị nhị phân MỘT; và
- sự xuất hiện tín hiệu đồng bộ khung đúng lần thứ hai trong khung tiếp theo, với giả thiết rằng dữ liệu không chứa bất cứ từ nào mô phỏng từ đồng bộ khung.

Thiết bị đầu cuối phải tiếp tục duy trì đồng bộ khung trong trường hợp nhận được một hoặc hai tín hiệu đồng bộ khung sai liên tiếp. Trong trường hợp nhận được ba tín hiệu đồng bộ khung sai liên tiếp thì thiết bị đầu cuối phải coi như đồng bộ khung đã bị mất và bắt đầu tìm kiếm đồng bộ khung.

Đồng bộ khung cũng được coi là mất nếu:

- xảy ra 915 SMF lỗi trong số 1000 SMF; hoặc

e) bit 2 trong các khung không chứa tín hiệu đồng bộ khung bị lỗi trong ba lần liên tiếp; hoặc

f) không có khả năng đạt được đồng bộ khung trong 8 ms (xem mục 2.2.9.2).

Kiểm tra: tiến hành kiểm tra theo mục A.10.1.

2.2.9.2. Đồng bộ đa khung

Yêu cầu này là tùy chọn và chỉ áp dụng với các thiết bị đầu cuối cần thu nhận đồng bộ đa khung để tách thông tin về CRC-4 để phù hợp với mục 2.1.6.2.2.

Yêu cầu: đồng bộ đa khung CRC-4 phải đạt được nếu xác định được ít nhất hai tín hiệu đồng bộ đa khung CRC-4 đúng trong vòng 8 ms (khoảng thời gian cách biệt giữa hai tín hiệu đồng bộ đa khung CRC-4 là 2 ms hoặc bội số của 2 ms). Nếu đồng bộ đa khung không đạt được trong vòng 8 ms thì có thể cho rằng đồng bộ khung có tín hiệu đồng bộ khung sai và phải bắt đầu tìm kiếm đồng bộ khung.

CHÚ THÍCH: việc tìm kiếm đồng bộ khung phải được bắt đầu tại thời điểm ngay sau khi xác định được vị trí của tín hiệu đồng bộ khung bị cho là sai, để tránh việc đồng bộ lại với tín hiệu đồng bộ khung sai.

Kiểm tra: tiến hành kiểm tra theo mục A.10.2.

3. QUY ĐỊNH VỀ QUẢN LÝ

3.1. Các thiết bị đầu cuối kết nối vào mạng viễn thông công cộng sử dụng kênh thuê riêng tốc độ 2048 kbit/s được quy định tại Danh mục thiết bị phải thực hiện chứng nhận hợp quy, công bố hợp quy do Bộ Thông tin và Truyền thông ban hành phải tuân thủ Quy chuẩn này.

3.2. Yêu cầu đánh giá phù hợp của thiết bị với Quy chuẩn này được quy định cụ thể theo bảng sau:

Mục tham chiếu	Nội dung	Quy định (xem chú thích)
2.1.1	Mã hoá tín hiệu	M
2.1.2	Dạng xung	M
2.1.3(a)	Định thời lối ra (đồng hồ nội)	M
2.1.3(b)	Định thời lối ra (mạch vòng đồng hồ)	M
2.1.3(c)	Định thời lối ra (lấy từ tín hiệu bên ngoài)	O
2.1.4	Trở kháng so với đất	M
2.1.5	Rung pha lối ra	M
2.1.6	Cấu trúc lối ra	M
2.1.6.1	Thủ tục CRC-4	M
2.1.6.2.1	Các đầu cuối không sử dụng các bit E	O.1
2.1.6.2.2	Các đầu cuối sử dụng các bit E để chỉ thị các SMF lỗi	
2.1.6.3.1	Các đầu cuối không sử dụng bit A	

QCVN 21:2010/BTTTT

2.1.6.3.2 a, b, d, e, f	Các đầu cuối có sử dụng bit A	O.2
2.1.6.3.2 c		Nếu 17 thì O, nếu không thì N
2.2.1	Mã hoá tín hiệu	M
2.2.2	Suy hao phản xạ lỗi vào	M
2.2.3	Giới hạn suy hao lỗi vào	M
2.2.4	Miễn nhiệm với các phản xạ	M
2.2.5	Khả năng chịu điện áp dọc	M
2.2.6	Trở kháng so với đất	M
2.2.7	Giới hạn rung pha lỗi vào	M
2.2.8	Sai số xung nhịp vào	M
2.2.9.1	Đồng bộ khung	M
2.2.9.2	Đồng bộ đa khung	Nếu 15 thì O không thì N
Chú thích: O.1: bắt buộc phải tuân thủ theo một trong hai mục. O.2: bắt buộc phải tuân thủ theo một trong hai mục. M: Bắt buộc phải tuân thủ O: Không bắt buộc phải tuân thủ N: Không phải là yêu cầu		

4. TRÁCH NHIỆM CỦA TỔ CHỨC, CÁ NHÂN

Các tổ chức, cá nhân liên quan có trách nhiệm thực hiện chứng nhận hợp quy và công bố hợp quy các thiết bị đầu cuối kết nối vào mạng viễn thông công cộng sử dụng kênh thuê riêng tốc độ 2048 kbit/s và chịu sự kiểm tra của cơ quan quản lý nhà nước theo các quy định hiện hành.

5. TỔ CHỨC THỰC HIỆN

5.1. Cục Quản lý chất lượng Công nghệ thông tin và Truyền thông và các Sở Thông tin và Truyền thông có trách nhiệm tổ chức hướng dẫn, triển khai quản lý các thiết bị đầu cuối kết nối vào mạng viễn thông phù hợp với Quy chuẩn này.

5.2. Quy chuẩn này được áp dụng thay thế Tiêu chuẩn ngành TCN 68-217:2002 “Thiết bị đầu cuối kết nối vào mạng viễn thông công cộng sử dụng kênh thuê riêng tốc độ 2048 kbit/s - Yêu cầu kỹ thuật”.

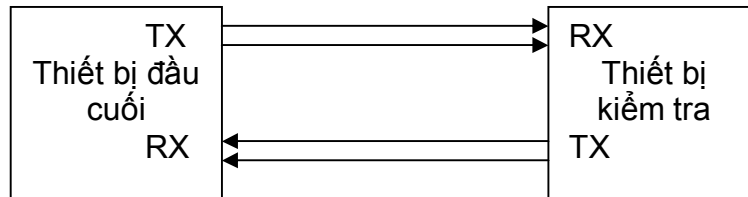
5.3. Trong trường hợp các quy định nêu tại Quy chuẩn này có sự thay đổi, bổ sung hoặc được thay thế thì thực hiện theo quy định tại văn bản mới.

PHỤ LỤC A
(quy định)
CÁC PHƯƠNG PHÁP KIỂM TRA

A.1. Mã hoá tín hiệu ở cổng lỗi ra

Mục đích: để xác định rằng việc mã hoá tín hiệu ở cổng lỗi ra của thiết bị đầu cuối có tuân theo các quy tắc mã hoá HDB3 như yêu cầu trong mục 2.1.1 hay không.

Cấu hình kiểm tra (xem Hình A.1):



Hình A1 - Mã hoá tín hiệu

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử: thiết bị đầu cuối sẽ truyền một chuỗi bit HDB3 phù hợp với cấu trúc khung trong Phụ lục C. Nội dung dữ liệu được chứa trong các bit từ 9 đến 256 của khung sẽ là một chuỗi bit bao gồm các chuỗi <0000> một số chẵn các giá trị MỘT ><0000>< một số lẻ các giá trị MỘT>, được đưa vào bộ mã hoá HDB3 (xem chú thích).

Giám sát: chuỗi bit lỗi ra trong khoảng thời gian kiểm tra đủ để truyền 100 lần xuất hiện các mẫu trên cộng thêm thời gian cần thiết để phát hiện lỗi.

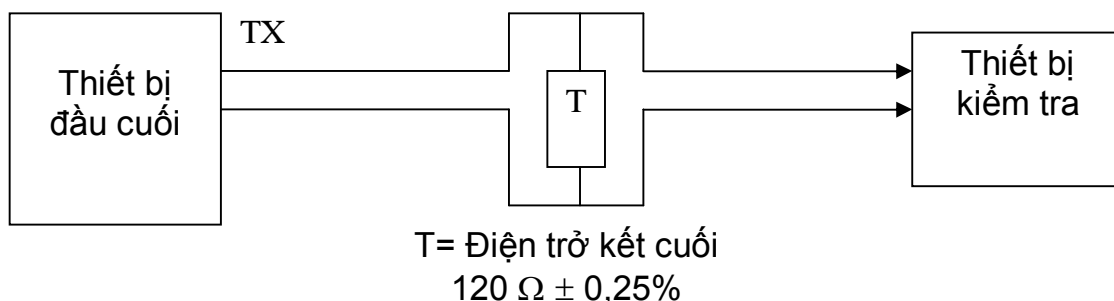
Kết quả: không có lỗi nào trong chuỗi bit được giải mã.

CHÚ THÍCH: một chuỗi bit giả ngẫu nhiên, chẳng hạn như PRBS($2^{15}-1$), sẽ được chấp nhận nếu chuỗi bit này bao hàm các mẫu bit trong mục trên.

A.2. Dạng xung ở cổng lỗi ra

Mục đích: để xác định dạng xung ở lỗi ra có phù hợp với yêu cầu trong mục 2.1.2 không.

Cấu hình kiểm tra (xem Hình A.2).



Hình A.2 - Dạng xung ở lỗi ra

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử: không quy định.

QCVN 21:2010/BTTTT

Giám sát:

- các giá trị 1 và 0 được thiết bị đầu cuối truyền đi, đo được biên độ và dạng của các xung dương và âm (đo tại điểm giữa của khoảng xung) và độ dài thời gian của các xung dương và âm (được đo tại một nửa xung danh nghĩa, tức là 1,5 V);
- độ chính xác của phép đo phải tốt hơn 90 mV. Tất cả các phép đo phải được thực hiện với thiết bị đo có khả năng ghi lại dòng một chiều (dc). Băng tần có độ rộng lớn hơn hoặc bằng 200 MHz phải được sử dụng để nắm bắt sự thay đổi của xung.

Kết quả:

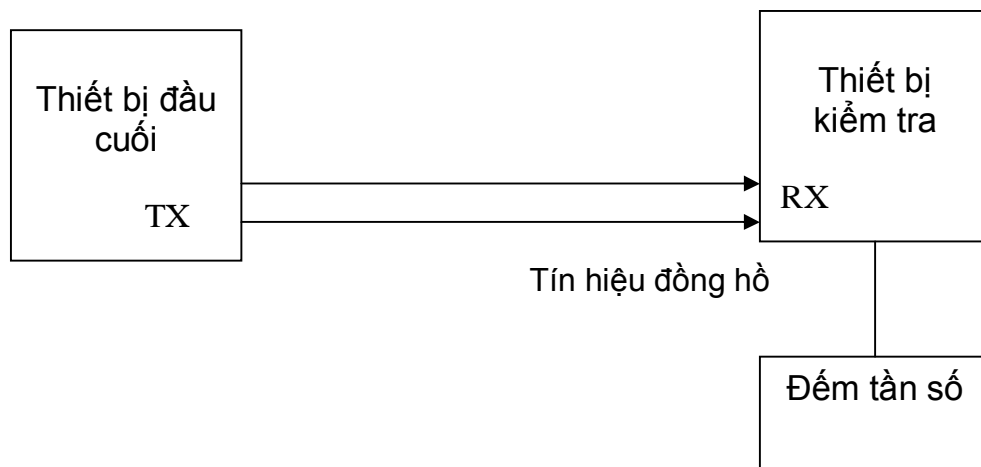
- các xung dương và âm đều phải nằm trong mặt nạ thuộc Hình 2, trong đó $V = 100\%$ là 3 V.
- khoảng bit tương ứng với giá trị 0 sẽ không có điện áp vượt quá $\pm 0,3$ V;
- tỷ lệ giữa biên độ của các xung dương và âm nằm trong khoảng 0,95 đến 1,05.
- tỷ lệ giữa độ rộng của các xung dương và âm nằm trong khoảng 0,95 đến 1,05.

A.3. Định thời lối ra

Mục đích: để xác định rằng tốc độ bit nằm trong khoảng 2048 kbit/s \pm 50 phần triệu khi thiết bị đầu cuối cấp định thời từ đồng hồ nội của nó, mục 2.1.3.

Cấu hình kiểm tra (xem Hình A.3):

- thiết bị đầu cuối sẽ được cấu hình để cấp định thời từ nguồn đồng hồ nội. Lối ra của thiết bị đầu cuối là một chuỗi bit được mã hoá HDB3.



Hình A.3 - Định thời lối ra

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử: không quy định.

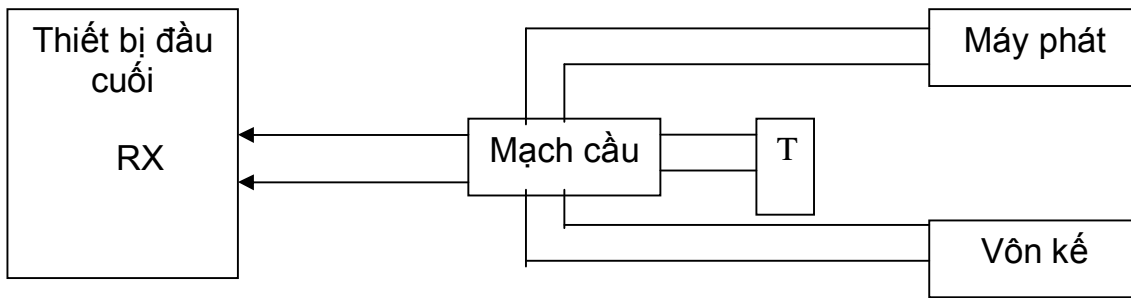
Giám sát: tốc độ bit từ lối ra của thiết bị đầu cuối.

Kết quả: tốc độ bit sẽ nằm trong khoảng 2048 kbit/s \pm 50 phần triệu.

A.4. Suy hao phản xạ ở cổng lối vào

Mục đích: để xác minh rằng suy hao phản xạ ở đôi dây nhận của giao diện thiết bị đầu cuối có phù hợp với các yêu cầu của mục 2.2.2 hay không.

Cấu hình kiểm tra (xem Hình A.4).



T = Điện trở kết cuối

$120 \Omega \pm 0,25\%$

Hình A.4 - Suy hao phản xạ ở cổng lối vào

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử: tín hiệu hình sin có đỉnh 3 V tại lối vào của thiết bị đầu cuối có tần số biến động trong khoảng từ 51 kHz đến 3072 kHz.

Giám sát: điện áp được đo tại cầu đo, biểu đạt điện trở kết cuối là 120Ω , sử dụng một Vôn kế điều chỉnh có băng tần nhỏ hơn 1 kHz.

Kết quả: suy hao phản xạ đo được phải lớn hơn hoặc bằng các giá trị trong Bảng 3.

CHÚ THÍCH: các đặc tính của máy phát và Vôn kế có thể khác nhau tùy theo cầu đo, tuy nhiên, lỗi tổng cộng của cách bố trí kiểm tra phải nhỏ hơn 0,5 dB trong phạm vi 10 dB đến 20 dB. Khi được nối với một điện trở $120 \Omega \pm 0,25\%$ thì suy hao phản xạ đo được của cầu phải cao hơn các giới hạn được định ra với giao diện là 20 dB.

A.5. Giới hạn suy hao lối vào và miễn nhiệm với các phản xạ

Mục đích: để kiểm tra sự miễn nhiệm của cổng lối vào đối với tín hiệu nhiễu kết hợp với tín hiệu lối vào, như đã quy định trong mục 2.2.4, cả hai trường hợp không qua cáp (tức là suy hao 0 dB) và qua cáp có suy hao 6 dB, như đã quy định trong mục 2.2.3.

Cấu hình kiểm tra (xem Hình A.5):

- tín hiệu nhiễu phải được kết hợp với tín hiệu lối vào trong một mạng kết hợp có trở kháng 120Ω , với suy hao 0 dB của tín hiệu lối vào và suy hao 18 dB của tín hiệu nhiễu;

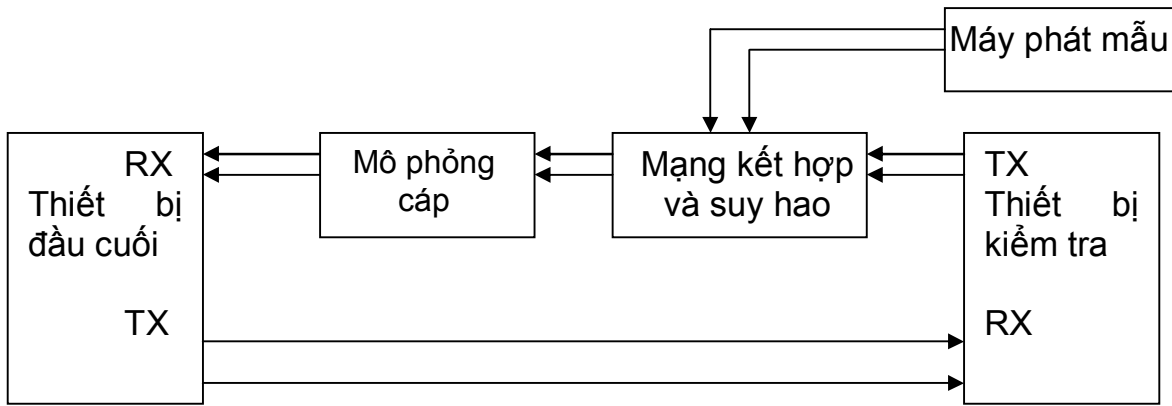
- bộ mô phỏng cáp phải có suy hao 6 dB đo được tại 1024 kHz và đặc tính suy hao theo luật \sqrt{f} trong dải tần số từ 100 kHz đến 10 MHz.

- sự phù hợp của giao diện sẽ được xác minh trong các điều kiện kiểm tra sau:

- không có mô phỏng cáp và không có tín hiệu nhiễu; và
- có mô phỏng cáp và không có tín hiệu nhiễu; và
- không có mô phỏng cáp và có tín hiệu nhiễu; và
- có mô phỏng cáp và có tín hiệu nhiễu.

- phép kiểm tra phải được lặp lại với các đường dây tại lối vào giao diện thiết bị đầu cuối (RX) bị đảo chiều.

Trạng thái giao diện: cấp nguồn, với dữ liệu nhận được đưa vòng trở lại cổng lối ra.



Hình A.5 - Miễn nhiễm với các phản xạ

Tín hiệu thử:

- tín hiệu lối ra của thiết bị kiểm tra phải được mã hoá HDB3 và có dạng xung như Hình 2. Chuỗi bit phải được cấu trúc lại thành các khung có CRC-4 theo Khuyến nghị ITU-T G.704 [2]. Trong các khung không chứa tín hiệu đồng bộ khung, bit 3 (Chỉ thị cảnh báo đầu xa (RAI)) phải được đưa về 0 và các bit từ 4 đến 8 (S_{a4} đến S_{a8}) phải được đưa về 1. Nội dung dữ liệu được chứa trong các bit từ 9 đến 256 của khung sẽ là PRBS($2^{15}-1$). Tốc độ bit phải nằm trong khoảng 2048 kbit/s \pm 50 phần triệu;

- tín hiệu giao thoa từ máy phát mẫu sẽ:

- được mã hoá HDB3 và có dạng xung như Hình 2 ; và
- có nội dung dữ liệu là một PRBS($2^{15}-1$); và
- có tốc độ bit trong khoảng 2048 kbit/s \pm 50 phần triệu, tín hiệu này không đồng bộ với tín hiệu lối ra của thiết bị kiểm tra.

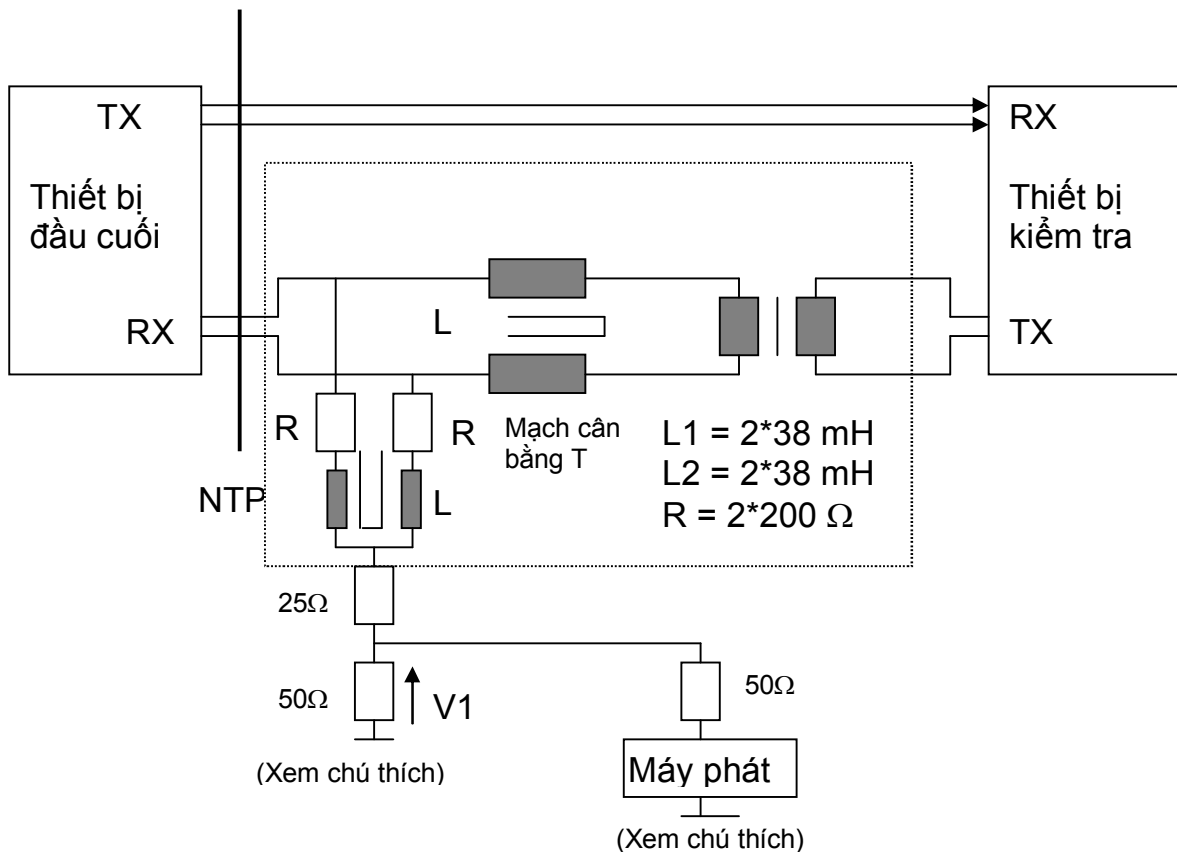
Giám sát: dữ liệu tại cổng lối ra của thiết bị đầu cuối.

Kết quả: xác minh rằng dữ liệu nhận được từ thiết bị đầu cuối giống hệt với chuỗi đã phát ra trong khoảng thời gian ít nhất 1 phút.

A.6. Khả năng chịu điện áp dọc, mã hoá lối vào HDB3

Mục đích: để kiểm tra khả năng chịu đựng điện áp dọc nhỏ nhất tại lối vào của thiết bị đầu cuối như đã quy định trong mục 2.2.5, và nhận chính xác mã HDB3 như đã quy định trong mục 2.2.1.

Cấu hình kiểm tra (xem Hình A.6)



CHÚ THÍCH: Điểm này phải được kết nối với điểm đất chung của thiết bị đầu cuối hoặc điểm chuẩn kiểm tra.

Hình A.6 - Khả năng chịu điện áp dọc, mã hoá lỗi vào HDB3

Trạng thái giao diện: cấp nguồn, với dữ liệu nhận được đưa vòng trở lại cổng lỗi ra của thiết bị đầu cuối.

Tín hiệu thử: tín hiệu lỗi ra của thiết bị kiểm tra phải được mã hoá HDB3 và có dạng xung như Hình 2. Chuỗi bit phải được cấu trúc thành các khung có CRC-4 theo Khuyến nghị ITU-T G.704 [2]. Trong các khung không chứa tín hiệu đồng bộ khung, bit 3 (RAI) sẽ được đưa về 0 và các bit từ 4 đến 8 (S_{a4} đến S_{a8}) phải được đưa về 1. Nội dung dữ liệu được chứa trong các bit từ 9 đến 256 của khung sẽ là PRBS($2^{15}-1$).

- Một điện áp dọc V_L có giá trị hiệu dụng là 2 V, ± 20 mV với tần số biến đổi trong khoảng 10 Hz đến 30 MHz sẽ được đưa vào trong ít nhất 2 giây.

Giám sát: các dữ liệu tại cổng lỗi ra của thiết bị đầu cuối.

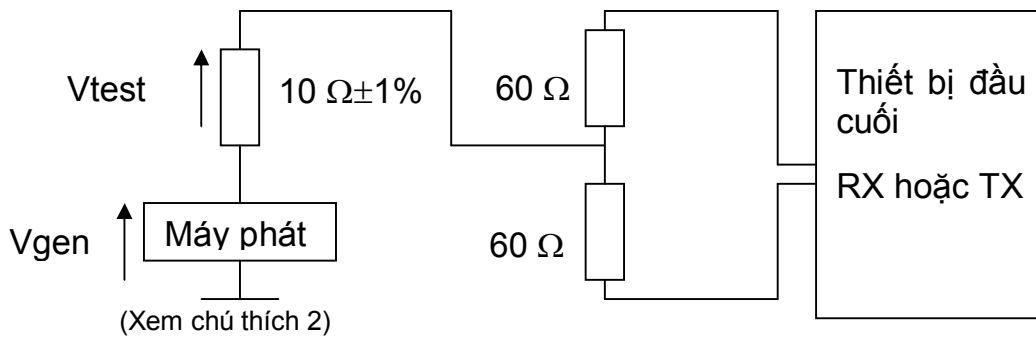
Kết quả: xác minh rằng các dữ liệu nhận được từ thiết bị đầu cuối giống hệt với chuỗi được phát ra.

CHÚ THÍCH: suy hao chuyển đổi dọc cố hữu của mạch cân bằng T phải lớn hơn 30 dB.

A.7. Trở kháng so với đất

Mục đích: để kiểm tra trở kháng so với đất của cổng lỗi ra và cổng lỗi vào của thiết bị đầu cuối, như đã quy định trong mục 2.1.4 và 2.2.6.

Cấu hình kiểm tra (xem Hình A.7).



CHÚ THÍCH 1: Các điện trở 60 Ω phải có dung sai không quá 1% và chênh lệch dưới 0,1%.

CHÚ THÍCH 2: Điểm này phải được kết nối với điểm đất chung của thiết bị đầu cuối hoặc điểm chuẩn kiểm tra.

Hình A.7 - Trở kháng so với đất

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử: tín hiệu kiểm tra hình sin (V_{gen}) có giá trị hiệu dụng là 2 V, ± 20 mV được đưa vào với tần số trong khoảng 10 Hz đến 1 MHz.

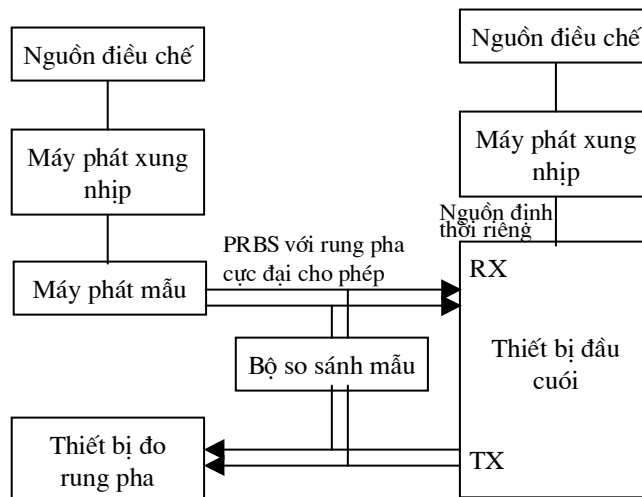
Giám sát: điện áp của V_{test} .

Kết quả: điện áp V_{test} phải có giá trị hiệu dụng nhỏ hơn 19,2 mV.

A.8. Rung pha lỗi ra và lỗi vào

Mục đích: phép kiểm tra này được sử dụng để đo khả năng chịu rung pha lỗi vào (mục 2.2.7), rung pha lỗi ra lớn nhất (2.1.5) và sự hoạt động trong phạm vi lỗi vào định thời nhất định (mục 2.2.8).

Cấu hình kiểm tra (xem Hình A.8):



Hình A.8 - Đo rung pha

- thiết bị đầu cuối phải được kiểm tra trong mỗi cấu hình sau (tại các cấu hình đó, các phương thức vận hành sau được hỗ trợ):

- a) định thời lỗi ra được tham chiếu từ đồng hồ nội; và
- b) định thời lỗi ra được tham chiếu từ bất kỳ nguồn đồng hồ ngoài nào là nguồn định thời (kể cả định thời từ tín hiệu lỗi vào).

Trạng thái giao diện: cấp nguồn, dữ liệu nhận được đưa vòng trở lại cổng lỗi ra.

Tín hiệu thử:

- tín hiệu lỗi ra của bộ phát mẫu phải được mã hoá HDB3 và có dạng xung như Hình 2. Chuỗi bit phải được cấu trúc thành các khung, có CRC-4, theo Khuyến nghị ITU-T G.704 [2], Trong các khung không chứa tín hiệu đồng bộ khung, bit 3 (RAI) sẽ được đưa về 0 và các bit từ 4 đến 8 (S_{a4} đến S_{a8}) sẽ được đưa về 1. Nội dung dữ liệu được chứa trong các bit từ 9 đến 256 sẽ là một PRBS($2^{15}-1$);
- phép đo phải được thực hiện với tín hiệu lỗi vào tại các giá trị giới hạn về tốc độ số và cả giữa các giới hạn này, để có thể xác minh rằng rung pha phù hợp trong toàn bộ phạm vi tần số. Tối thiểu thì cũng phải tiến hành phép kiểm tra tại các giới hạn trên, giới hạn dưới và ở tốc độ danh nghĩa;
- nguồn điều chế dùng cho chuỗi bit lỗi vào của thiết bị đầu cuối sẽ tạo thành các thành phần riêng lẻ của rung pha hình sin tại các điểm nằm trên đường cong ở Hình 3 và Bảng 4;
- nguồn điều chế định thời bên ngoài (nếu cần) phải độc lập với nguồn điều chế tín hiệu lỗi vào và sẽ tạo nên khả năng chịu rung pha lớn nhất và độ lệch tần số lớn nhất như nhà sản xuất thiết bị đầu cuối chỉ ra;
- có thể cần phải đồng bộ hoá hai bộ phát xung nhịp để tránh khả năng xảy ra trượt.

Giám sát:

- a) tín hiệu được truyền đi bởi thiết bị đầu cuối; và
- b) rung pha được lấy ra từ tín hiệu này, sử dụng thiết bị phù hợp với Khuyến nghị ITU-T 171 [4], với các tần số cắt như được quy định ở Bảng 2.

Kết quả:

- a) thiết bị kiểm tra không thông báo lỗi bit nào trong thời gian kiểm tra; và
- b) rung pha đỉnh - đỉnh phải phù hợp với Bảng 2 khi được đo bằng các bộ lọc tuyến tính có các tần số cắt xác định.

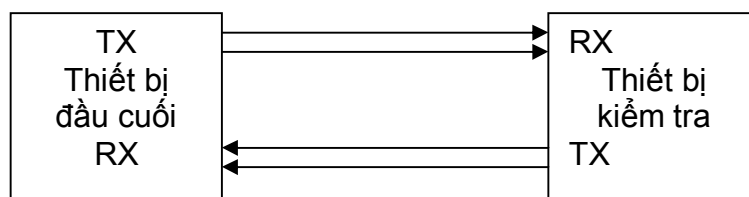
CHÚ THÍCH: nguồn điều chế có thể được chứa trong bộ phát xung nhịp và/ hoặc bộ phát tín hiệu mẫu, hoặc có thể được cung cấp riêng biệt.

A.9. Cấu trúc khung

A.9.1. Cấu trúc lỗi ra và việc tạo CRC-4

Mục đích: để kiểm tra độ chính xác của cấu trúc lỗi ra (mục 2.1.6) và việc tạo CRC-4 (mục 2.1.6.1) tại lỗi ra của thiết bị đầu cuối.

Cấu hình kiểm tra (xem Hình A.9)



Hình A.9 - Cấu trúc khung

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử:

- tín hiệu lối ra của thiết bị kiểm tra phải được mã hoá HDB3 và có dạng xung như Hình 2 và với một cấu trúc khung như nêu trong Khuyến nghị ITU-T G.704 [2].
- thiết bị đầu cuối sẽ truyền một chuỗi bit HDB3 với nội dung dữ liệu và cấu trúc khung phù hợp với Phụ lục B. Nội dung dữ liệu được chứa trong các bit từ 9 đến 256 phải là một chuỗi bit giả ngẫu nhiên, chẳng hạn như PRBS($2^{15}-1$).

Giám sát: tín hiệu đồng bộ khung và CRC-4 trong chuỗi bit ra từ thiết bị đầu cuối.

Kết quả:

- tín hiệu đồng bộ khung và bit 2 của khung không chứa tín hiệu đồng bộ khung phải như quy định trong Bảng C.1;
- CRC-4 phải phù hợp với các dữ liệu trong SMF trước như được quy định trong mục C.2 và C.2.1.

A.9.2. Các đầu cuối không sử dụng bit E

Mục đích: để xác minh rằng với các thiết bị đầu cuối không sử dụng bit E để chỉ thị lỗi SMF thì các bit E được đưa về giá trị nhị phân MỘT như đã quy định trong mục 2.1.6.2.1.

Cấu hình kiểm tra (xem Hình A.9)

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử:

- thiết bị đầu cuối sẽ truyền một chuỗi bit HDB3 phù hợp với cấu trúc khung trong Phụ lục C. Nội dung dữ liệu chứa trong các bit từ 9 đến 256 của khung phải là một chuỗi bit giả ngẫu nhiên, chẳng hạn như PRBS($2^{15}-1$);
- tín hiệu lối ra của thiết bị kiểm tra phải được mã hoá HDB3 và có dạng xung như Hình 2 và với một cấu trúc khung như nêu trong Khuyến nghị ITU-T G.704 [2]. Thiết bị kiểm tra phải tạo ra các tín hiệu thử như được quy định trong cột 1 của Bảng A.1.

Bảng A.1 - Các đầu cuối không sử dụng bit E

Tín hiệu thử từ thiết bị kiểm tra	Kết quả
Các SMF liên tục với CRC-4 đúng	E = 1
Các SMF liên tục với CRC-4 sai	E = 1
Tín hiệu gây ra mất đồng bộ khung (ví dụ Tín hiệu chỉ thị cảnh báo (AIS))	E = 1

Giám sát: bit E trong chuỗi bit ra từ thiết bị đầu cuối.

Kết quả: bit E phải đúng như đã quy định trong cột 2 của Bảng A.1

A.9.3 Các đầu cuối có sử dụng bit E để chỉ thị các SMF lỗi

Mục đích: để xác minh khả năng sử dụng các bit E để chỉ thị các lỗi SMF của thiết bị đầu cuối.

Cấu hình kiểm tra: (xem Hình A.9).

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử:

- thiết bị đầu cuối sẽ truyền một chuỗi bit mã HDB3 theo cấu trúc khung trong Phụ lục C. Nội dung dữ liệu được chứa trong các bit 9 đến 256 của khung sẽ là một chuỗi bit giả ngẫu nhiên, ví dụ PRBS($2^{15} - 1$).

- tín hiệu đầu ra của thiết bị kiểm tra được mã hoá HDB3 và có dạng xung như Hình 2 và cấu trúc khung theo Khuyến nghị ITU-T G.704 [2]. Thiết bị kiểm tra sẽ tạo ra tín hiệu thử như quy định trong cột 1 của Bảng A.2

Bảng A.2 - Các đầu cuối có sử dụng bit E để chỉ ra các SMF lỗi

Tín hiệu thử từ thiết bị kiểm tra	Kết quả
Một SMF có CRC-4 sai nằm trong một chuỗi các SMF có CRC-4 đúng	Một bit E có E = 0, được gửi trong 1 giây của SMF lỗi, các bit E khác bằng 1
Hai SMF liên tiếp có CRC-4 sai nằm trong một chuỗi các SMF có CRC-4 đúng	Hai bit E liên tiếp có E = 0, được gửi trong 1 giây của SMF lỗi, các bit E khác bằng 1
CHÚ THÍCH: Hai bit E liên tiếp có thể nằm trong 2 đa khung liên tiếp	

Giám sát: bit E trong chuỗi bit ra từ thiết bị đầu cuối

Kết quả: giá trị bit E đúng như đã quy định trong cột 2 Bảng A.2

A.9.4 Sử dụng bit A

Mục đích: để xác minh bit A có được đặt đúng để chỉ ra các điều kiện ở lỗi vào của thiết bị đầu cuối được đề cập trong mục 2.1.6.3.1 hoặc mục 2.1.6.3.2 hay không.

Cấu hình kiểm tra: (xem Hình A.9).

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử:

- thiết bị đầu cuối sẽ truyền một chuỗi bit mã HDB3 theo cấu trúc khung trong Phụ lục C. Nội dung dữ liệu được nằm trong các bit 9 đến 256 của khung sẽ là một chuỗi bit giả ngẫu nhiên, ví dụ PRBS($2^{15} - 1$).

- tín hiệu đầu ra của thiết bị kiểm tra được mã hoá HDB3 và có dạng xung như Hình 2 và cấu trúc khung theo Khuyến nghị ITU-T G.704 [2]. Nội dung dữ liệu chứa trong các bit từ 9 đến 256 của khung sẽ theo một mẫu cố định không chứa tín hiệu mô phỏng tín hiệu đồng bộ khung. Thiết bị kiểm tra sẽ tạo ra tín hiệu thử quy định trong cột 1 của Bảng A.3 .

Bảng A.3 - Các đầu cuối có sử dụng bit A

	Tín hiệu thử từ thiết bị kiểm tra (xem chú thích 1 và 2)	Kết quả (xem chú thích 3)
1	Chuỗi khung liên tiếp chứa một tín hiệu đồng bộ khung sai. (..2 F 2 F 2 /F 2 F 2 F..)	A = 0.
2	Chuỗi khung liên tiếp chứa hai tín hiệu đồng bộ khung sai liền nhau.	A = 0.

QCVN 21:2010/BTTTT

	(..2 F 2 F 2 /F 2 /F 2 F 2 F..)	
3	Chuỗi khung liên tiếp chứa ba tín hiệu đồng bộ khung sai liền nhau. (..2 F 2 F 2 /F 2 /F 2 /F 2 F 2 F..)	A = 1 trong vòng 30 ms kể từ tín hiệu đồng bộ khung sai cuối cùng, trở về A = 0 trong vòng 30 ms sau hai tín hiệu đồng bộ khung đúng.
4	Các khung liên tiếp chứa ba tín hiệu đồng bộ khung sai liền nhau, tiếp đó là N chuỗi khung có các tín hiệu đồng bộ khung đúng và sai xen kẽ nhau, rồi đến một khung đúng, rồi đến M chuỗi khung có tín hiệu đồng bộ khung đúng nhưng các khung không chứa tín hiệu đồng bộ khung đúng có bit 2 = 0, tiếp đó là các khung đúng liên tiếp. (..2 F 2 F 2 /F 2 /F 2 /F Nx(2 F 2 /F) 2 F Mx(/2 F) 2 F 2 F..)	A = 1 trong vòng 30 ms sau tín hiệu đồng bộ khung sai thứ ba, giữ nguyên A = 1 đến khi A = 0 trong vòng 30 ms sau khi có hai tín hiệu đồng bộ khung đúng liên tiếp. Giá trị M và N nằm trong khoảng 40 và 100.
5	Các khung liên tiếp có hai khung không chứa tín hiệu đồng bộ khung có bit 2 = 0 liền nhau. (..2 F 2 F /2 F /2 F 2 F 2 F..)	A = 0
6	Các khung liên tiếp có ba khung không chứa tín hiệu đồng bộ khung có bit 2 = 0 liền nhau. (..2 F 2 F /2 F /2 F/2 F 2 F 2 F..)	A = 1 trong vòng 30 ms sau khi khung thứ ba có bit 2 = 0, trở về A = 0 trong vòng 30 ms sau hai tín hiệu đồng bộ khung đúng.
7	Các khung liên tiếp có 914 SMF lỗi liền nhau, tiếp theo là 86 SMF không lỗi liền nhau, rồi đến 914 SMF lỗi liền nhau, rồi đến các SMF không lỗi liền nhau. (.. SMF SMF 914x/SMF 86xSMF 914x/SMF SMF..)	A = 0
8	Các khung liên tiếp có 915 SMF lỗi liền nhau, tiếp theo là 85 SMF không lỗi liền nhau, rồi đến 915 SMF lỗi liền nhau, rồi đến các SMF không lỗi liền nhau. (.. SMF SMF 915x/SMF 85xSMF 915x/SMF SMF..)	Trong khoảng thời gian này, bit A sẽ thay đổi ít nhất một lần từ A = 0 thành A = 1 và trở lại A = 0.

CHÚ THÍCH 1: trước mỗi phép kiểm tra được ghi trong bảng này phải đảm bảo đồng bộ khung và đa khung bằng cách truyền đủ số khung đúng đến bên nhận.

CHÚ THÍCH 2: F là một khung có tín hiệu đồng bộ khung đúng;

/F là một khung có tín hiệu đồng bộ khung sai;

2 là một khung không chứa tín hiệu đồng bộ khung có bit 2 = 1;

/2 là một khung không chứa tín hiệu đồng bộ khung có bit 2 = 0;

SMF là đa khung con có đồng bộ khung đúng và có các bit CRC-4 đúng;

/SMF là đa khung con có đồng bộ khung đúng và có các bit CRC-4 sai;

CHÚ THÍCH 3: kết quả áp dụng đối với các đầu cuối phù hợp với mục 2.1.6.3.2.

Giám sát: bit A nằm trong chuỗi bit ra từ thiết bị đầu cuối.

Kết quả:

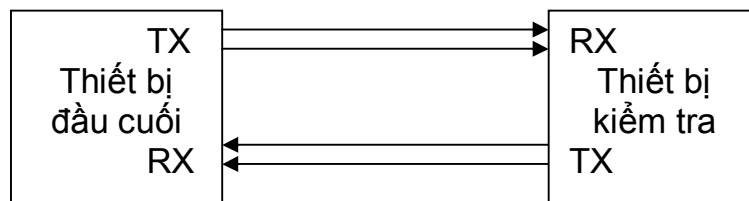
- đối với những thiết bị đầu cuối phù hợp với mục 2.1.6.3.1 (tức là những thiết bị đầu cuối không sử dụng bit A), thì bit A sẽ được đưa về giá trị nhị phân KHÔNG cho tất cả các tín hiệu thử trong cột 2 của Bảng A.3.
- đối với những thiết bị đầu cuối phù hợp với mục 2.1.6.3.2 (tức là những thiết bị đầu cuối sử dụng bit A), thì bit A sẽ đáp ứng như quy định trong Bảng A.3. Các yêu cầu của phép kiểm tra 6 trong Bảng A.3 là tùy chọn, phép kiểm tra này chỉ có thể được thực hiện nếu nhà sản xuất đưa ra.

A.10. Cấu trúc khung lỗi vào

A.10.1. Đồng bộ khung

Mục đích: để xác minh rằng cổng lỗi vào của thiết bị đầu cuối có thể đạt được đồng bộ khung như đã quy định trong mục 2.2.9.1. Các thiết bị đầu cuối có sử dụng bit A phù hợp với mục 2.1.6.3.2 và phù hợp với các phép kiểm tra trong mục A.9.4 không cần được kiểm tra theo mục này vì sự phù hợp đã được chứng minh qua việc phù hợp với mục A.9.4.

Cấu hình kiểm tra (xem Hình A.10):



Hình A.10 - Đồng bộ khung

Trạng thái giao diện: cấp nguồn, dữ liệu nhận được từ các bit từ 9 đến 256 của khung lỗi vào được đưa vòng trở lại tới cổng lỗi ra.

Tín hiệu thử: tín hiệu lỗi ra của thiết bị kiểm tra được mã hoá HDB3 và có dạng xung như Hình 2, và cấu trúc khung như trong Khuyến nghị ITU-T G.704 [2]. Nội dung dữ liệu chứa trong các bit từ 9 đến 256 của khung sẽ theo một mẫu cố định không chứa tín hiệu mô phỏng tín hiệu đồng bộ khung. Thiết bị kiểm tra sẽ tạo ra các tín hiệu thử như quy định trong cột 1 của Bảng A.4.

Bảng A.4 - Đồng bộ khung

	Tín hiệu thử từ thiết bị kiểm tra (xem chú thích 1 và 2)	Kết quả
1	Chuỗi khung liên tiếp chứa một tín hiệu đồng bộ khung sai. (..2 F 2 F 2 /F 2 F 2 F..)	Không gián đoạn dữ liệu. Không có lỗi trong dữ liệu nhận được.
2	Chuỗi khung liên tiếp chứa hai tín hiệu đồng bộ khung sai liên nhau.	Không gián đoạn dữ liệu. Không có lỗi trong dữ liệu

QCVN 21:2010/BTTTT

	(..2 F 2 F 2 /F 2 /F 2 F 2 F..)	nhận được.
3	Chuỗi khung liên tiếp chứa ba tín hiệu đồng bộ khung sai liền nhau. (..2 F 2 F 2 /F 2 /F 2 /F 2 F 2 F..)	Bất cứ gián đoạn nào trong dữ liệu đều phải ngắn hơn 20,5 ms.
4	Các khung liên tiếp chứa ba tín hiệu đồng bộ khung sai liền nhau, tiếp đó là N chuỗi khung có các tín hiệu đồng bộ khung đúng và sai xen kẽ nhau, rồi đến một khung đúng, rồi đến M chuỗi M khung có tín hiệu đồng bộ khung đúng nhưng các khung không chứa tín hiệu đồng bộ khung đúng có bit 2 = 0, tiếp đó là các khung đúng liên tiếp. (..2 F 2 F 2 /F 2 /F 2 /F Nx(2 F 2 /F) 2 F Mx(/2 F) 2 F 2 F..)	Bất cứ gián đoạn nào trong việc truyền dữ liệu đều phải ngắn hơn $20,75 + 0,5 \times (N + M/2)$ ms Giá trị M và N nằm trong khoảng 40 và 100.
5	Các khung liên tiếp có hai khung không chứa tín hiệu đồng bộ khung có bit 2 = 0 liền nhau. (..2 F 2 F /2 F /2 F 2 F 2 F..)	Không gián đoạn dữ liệu. Không có lỗi trong dữ liệu nhận được.
6	Các khung liên tiếp có ba khung không chứa tín hiệu đồng bộ khung có bit 2 = 0 liền nhau. (..2 F 2 F /2 F /2 F/2 F 2 F 2 F..)	Có thể xảy ra gián đoạn dữ liệu trong một số trường hợp. Bất cứ gián đoạn nào trong dữ liệu đều phải ngắn hơn 20,5 ms.
7	Các khung liên tiếp có 914 SMF lỗi liền nhau, tiếp theo là 86 SMF không lỗi liền nhau, rồi đến 914 SMF lỗi liền nhau, rồi đến các SMF không lỗi liền nhau. (.. SMF SMF 914x/SMF 86xSMF 914x/SMF SMF..)	Không gián đoạn dữ liệu. Không có lỗi trong dữ liệu nhận được.
8	Các khung liên tiếp có 915 SMF lỗi liền nhau, tiếp theo là 85 SMF không lỗi liền nhau, rồi đến 915 SMF lỗi liền nhau, rồi đến các SMF không lỗi liền nhau. (.. SMF SMF 915x/SMF 85xSMF 915x/SMF SMF..)	Có thể xảy ra gián đoạn dữ liệu trong một số trường hợp. Bất cứ gián đoạn nào trong dữ liệu đều phải ngắn hơn 20,5 ms.
<p>CHÚ THÍCH 1: trước mỗi phép kiểm tra được ghi trong bảng này phải đảm bảo đồng bộ khung và đa khung bằng cách truyền đủ số khung đúng đến bên nhận.</p> <p>CHÚ THÍCH 2: F là một khung có tín hiệu đồng bộ khung đúng; /F là một khung có tín hiệu đồng bộ khung sai; 2 là một khung không chứa tín hiệu đồng bộ khung có bit 2 = 1; /2 là một khung không chứa tín hiệu đồng bộ khung có bit 2 = 0; SMF là đa khung con có đồng bộ khung đúng và có các bit CRC-4 đúng; /SMF là đa khung con có đồng bộ khung đúng và có các bit CRC-4 sai.</p>		

Giám sát: giám sát dữ liệu nhận được trong các bit từ 9 đến 256 của khung từ các thiết bị đầu cuối và so sánh chúng với các dữ liệu do thiết bị kiểm tra truyền đi. Giám sát bất cứ gián đoạn nào trong dữ liệu.

Kết quả: bất cứ gián đoạn nào của dữ liệu đều phải đảm bảo yêu cầu quy định trong cột 2 của Bảng A.4.

A.10.2. Đồng bộ đa khung

Mục đích: để xác minh rằng cổng lối vào của thiết bị đầu cuối có thể đạt được đồng bộ đa khung đúng như được quy định trong mục 2.2.9.2.

Cấu hình kiểm tra (xem Hình A.10)

Trạng thái giao diện: cấp nguồn.

Tín hiệu thử: tín hiệu lối ra của thiết bị kiểm tra được mã hoá HDB3 và có dạng xung như Hình 2, và cấu trúc khung như trong Khuyến nghị ITU-T G.704 [2]. Nội dung dữ liệu chứa trong các bit từ 9 đến 256 của khung sẽ theo một mẫu cố định không chứa tín hiệu mô phỏng tín hiệu đồng bộ khung. Thiết bị kiểm tra sẽ tạo ra các tín hiệu thử được quy định trong cột 1 của Bảng A.5.

Bảng A.5 - Đồng bộ đa khung

	Tín hiệu thử từ thiết bị kiểm tra (xem chú thích 1 và 2)	Kết quả
1	Các đa khung đúng liên tiếp nhau. (..MF MF MF MF..)	Đồng bộ đa khung.
2	Một chuỗi các đa khung đúng, tiếp theo là ba tín hiệu đồng bộ khung sai liên nhau, rồi đến một đa khung sai, rồi đến một đa khung đúng, rồi đến hai đa khung sai, rồi đến hai đa khung đúng rồi đến hai đa khung sai, rồi đến các đa khung đúng liên nhau. (..MF /F 2 /F 2 /F 2 /MF MF /MF /MF MF MF /MF /MF MF..)	Phải đạt được đồng bộ đa khung sau đa khung đúng thứ nhất tiếp sau hai đa khung sai.
<p>CHÚ THÍCH 1: trước mỗi phép kiểm tra được ghi trong bảng này phải đảm bảo đồng bộ khung và đa khung bằng cách truyền đủ số khung đúng đến bên nhận.</p> <p>CHÚ THÍCH 2: F là một khung có tín hiệu đồng bộ khung đúng; /F là một khung có tín hiệu đồng bộ khung sai; 2 là một khung không chứa tín hiệu đồng bộ khung có bit 2 = 1; /2 là một khung không chứa tín hiệu đồng bộ khung có bit 2 = 0; MF là một đa khung có tín hiệu đồng bộ khung đúng, bit 2 = 1, tín hiệu đồng bộ đa khung đúng và các bit CRC-4 đúng; /MF là một đa khung có tín hiệu đồng bộ khung đúng, bit 2 = 1, tín hiệu đồng bộ đa khung sai và các bit CRC-4 đúng.</p>		

Giám sát: giám sát đồng bộ đa khung; nhà cung cấp thiết bị đầu cuối phải chỉ rõ việc này sẽ được tiến hành như thế nào. Các thiết bị đầu cuối có sử dụng bit E để chỉ thị các SMF lỗi có thể chỉ ra đồng bộ đa khung bằng cách nhận ra chính xác các SMF lỗi được đưa vào tín hiệu thử từ thiết bị kiểm tra (tức là MF /F 2 /F 2 /F 2 /MF MF /MF /MF MF MF /MF /MF /SMF /SMF MF).

QCVN 21:2010/BTTTT

Kết quả: phải đạt được đồng bộ đa khung như quy định trong cột 2 của Bảng A.5.

PHỤ LỤC B

(quy định)

ĐỊNH NGHĨA MÃ HDB3**B.1. Khái quát**

Phụ lục này mô tả mã HDB3 trên cơ sở sửa đổi mã đảo cực luân phiên (AMI). Nội dung của Phụ lục này dựa trên Phụ lục A của Khuyến nghị G.703 [1] của ITU-T.

Trong mã này, các bit có giá trị nhị phân 1 được biểu thị bằng các xung dương và âm xen kẽ nhau, và các giá trị nhị phân 0 được biểu thị bằng các khoảng trống. Có ngoại lệ khi xảy ra nhiều chuỗi bit 0 liên tiếp nhau trong tín hiệu nhị phân.

Trong định nghĩa dưới đây, B biểu thị cho một xung được chèn tuân theo quy tắc AMI, và V biểu thị cho một xung vi phạm quy tắc AMI.

B.2. Định nghĩa

Mỗi khối gồm 4 giá trị 0 liên nhau được thay thế bởi 000V hoặc B00V. Việc chọn 000V hay B00V được thực hiện sao cho số lượng các xung B giữa các V liên nhau là lẻ. Nói cách khác, các xung V liên nhau có cực tính đối nhau để không tạo nên thành phần dòng điện một chiều.

PHỤ LỤC C
(quy định)
ĐỊNH NGHĨA CẤU TRÚC KHUNG

C.1. Cấu trúc khung

Chuỗi bit sẽ được cấu trúc thành một khung dài 256 bit, được đánh số từ 1 đến 256. Tốc độ lặp lại khung danh định là 8000 Hz. Vị trí của các bit từ 1 đến 8 của khung như được trình bày trong Bảng C.1.

Bảng C.1 - Phân bổ của các bit từ 1 đến 8

Số thứ tự của bit	Khung có chứa tín hiệu đồng bộ khung	Khung không chứa tín hiệu đồng bộ khung
1	CRC-4 (xem mục C.2)	CRC-4 (xem mục C.2)
2	0	1
3	0	A (xem chú thích 1)
4	1	S_{a4} (xem chú thích 2)
5	1	S_{a5} (xem chú thích 2)
6	0	S_{a6} (xem chú thích 2)
7	1	S_{a7} (xem chú thích 2)
8	1	S_{a8} (xem chú thích 2)
CHÚ THÍCH 1: bit A: RAI		
CHÚ THÍCH 2: các bit từ S_{a4} đến S_{a8} được dành cho nhà khai thác kênh thuê riêng sử dụng. Giá trị của chúng tại cổng lối ra của một kênh thuê riêng không được quy định.		

C.2. CRC-4

Vị trí của các bit CRC-4 được quy định trong Bảng C.2 cho một đa khung CRC-4 hoàn chỉnh. Mỗi đa khung CRC-4, được tạo thành từ 16 khung đánh số từ 0 đến 15, được chia thành 2 đa khung con 8 khung, đánh số là SMF I và SMF II, biểu diễn vị trí tương ứng của chúng trong cấu trúc đa khung CRC-4. SMF là một khối (kích thước 2048 bit) cho CRC-4.

Trong các khung có chứa tín hiệu đồng bộ khung, bit 1 sẽ được dùng để truyền đi các bit CRC-4. Các bit này sẽ là 4 bit được đánh số C_1 C_2 C_3 và C_4 trong mỗi đa khung con. Trong các khung không chứa tín hiệu đồng bộ khung, bit 1 sẽ được dùng để truyền đi 6 bit tín hiệu đồng bộ đa khung CRC-4 và 2 bit chỉ thị lỗi CRC-4 (các bit E). Tín hiệu đồng bộ đa khung CRC-4 sẽ có dạng 001011.

Bảng C.2 - Phân bố của các bit CRC-4 của một đa khung

	SMF	Khung	bit 1
Một đa khung	SMF I	0	C1
		1	0
		2	C2
		3	0
		4	C3
		5	1
		6	C4
	7	0	
	SMF II	8	C1
		9	1
		10	C2
		11	1
		12	C3
		13	E
		14	C4
15		E	

C.2.1. Tạo CRC-4

Một từ CRC-4 nhất định, đặt trong SMF thứ N là số dư sau khi nhân đa thức biểu diễn SMF thứ (N-1) với x^4 và sau đó chia cho đa thức x^4+x+1 (modulo 2). Khi biểu diễn nội dung của khối kiểm tra theo đa thức, bit đầu tiên trong khối (tức là bit 1 của khung 0 hoặc bit 1 của khung 8) sẽ là bit quan trọng nhất. Tương tự, C1 sẽ là bit quan trọng nhất của số dư và C4 là bit kém quan trọng nhất của số dư.

Quá trình mã hoá CRC-4 được mô tả dưới đây:

- a) các bit CRC-4 trong SMF được thay thế bằng giá trị nhị phân 0;
- b) SMF sau đó được xử lý theo tiến trình nhân/chia mô tả ở trên;
- c) kết quả số dư của tiến trình nhân/chia trên được lưu trữ, sẵn sàng đưa vào các vị trí CRC-4 tương ứng của SMF tiếp theo.

CHÚ THÍCH: các CRC-4 bit vừa được tạo ra sẽ không gây ảnh hưởng đến kết quả của tiến trình nhân/chia trong SMF tiếp theo vì theo mục a) ở trên thì các vị trí của bit CRC-4 trong một SMF được khởi tạo về 0 trong tiến trình nhân/chia.

C.2.2. Giám sát CRC-4

Quá trình giám sát CRC-4 để phát hiện các SMF lỗi được mô tả như sau:

- a) SMF vừa nhận sẽ được xử lý theo tiến trình nhân/chia quy định tại mục C.2.1, sau khi đã lấy ra các CRC-4 bit và thay thế bằng các giá trị 0.
- b) Kết quả số dư từ tiến trình nhân/chia sẽ được lưu trữ và sau đó so sánh từng bit với các bit CRC-4 nhận được của SMF tiếp theo.
- c) Nếu giá trị số dư sau khi tính toán không tương ứng với các CRC-4 bit nhận được trong SMF kế tiếp thì SMF đó là SMF lỗi.